

00'926067.

JC12 Rec'd PCT/PTO 23 AUG 2001

DOCKET NO.: 211329US2PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: STOESS Annie et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/DE00/00276

INTERNATIONAL FILING DATE: February 1, 2000

FOR: OPTIMIZED BUS CONNECTION FOR MANAGING BUS TRANSACTIONS

REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION

Assistant Commissioner for Patents
Washington, D.C. 20231


Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Germany	199 08 414.9	26 February 1999

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/DE00/00276.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423



22850

(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 1/97)

THIS PAGE BLANK (USPTO)

BUNDESREPUBLIK DEUTSCHLAND

DE 00 / 276

EJV

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

REC'D 26 MAY 2000

WIPO

PCT

Bescheinigung

Die Siemens Aktiengesellschaft in München/Deutschland hat eine Patentanmeldung
unter der Bezeichnung

"Optimierter Busanschluss zur Übernahme von Bustransaktionen"

am 26. Februar 1999 beim Deutschen Patent- und Markenamt eingereicht.

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprüng-
lichen Unterlagen dieser Patentanmeldung.

Die Anmeldung hat im Deutschen Patent- und Markenamt vorläufig das Symbol
G 06 F 13/38 der Internationalen Patentklassifikation erhalten.

München, den 17. Mai 2000

Deutsches Patent- und Markenamt

Der Präsident

Im Auftrag

Jerofsky

Aktenzeichen: 199 08 414.9

THIS PAGE BLANK (USPTO)

Beschreibung

Optimierter Busanschluss zur Übernahme von Bustransaktionen

- 5 Die Erfindung betrifft einen optimierten Busanschluss zur Übernahme von Bustransaktionen gemäß dem Oberbegriff des Anspruchs 1.

10 In einem Prozessorsystem laufen vielfältigste Bustransaktionen ab. Die Bustransaktionen können dabei in solche Transaktionen eingeteilt werden, die in einer streng logischen Reihenfolge abzuarbeiten sind, und können in solche Transaktionen eingeteilt werden, die nicht in einer streng logischen Reihenfolge abzuarbeiten sind.

15

Zur Übernahme von Bustransaktionen gibt es Busanschlüsse, die einen nach dem FIFO-Prinzip arbeitenden Zwischenspeicher aufweisen. Bustransaktionen, unabhängig davon, ob sie in streng logischer oder nicht streng logischer Reihenfolge abzuarbeiten sind, werden in der Reihenfolge ihres Eintreffens bei dem nach dem FIFO-Prinzip arbeitenden Zwischenspeicher in der Reihenfolge ihres Eintreffens zwischengespeichert und später in entsprechender Reihenfolge ausgelesen und abgearbeitet.

20 Bei den Bustransaktionen kommt es häufig vor, dass auf Ergebnisse anderer Bustransaktionen zu warten ist, beispielsweise um mit aktualisierten Parametern weiterarbeiten zu können. Durch den Umstand, dass die Bustransaktionen in der Reihenfolge des Eintreffens abgearbeitet werden, müssen Bustransaktionen, die unabhängig von solchen Transaktionen sind, dann trotzdem warten, bis die früher aufgetretenen Transaktionen abgeschlossen sind. Das Ergebnis ist insgesamt eine Verlangsamung und damit ein Leistungsverlust des Prozessorsystems.

35 Aufgabe der vorliegenden Erfindung ist es, einen optimierten Busanschluss anzugeben, durch den die Arbeitsgeschwindigkeit

eines Prozessorsystems beschleunigt und damit seine Leistungsfähigkeit erhöht wird.

5 Diese Aufgabe wird ausgehend von einem Busanschluss der eingangs genannten Art durch einen optimierten Busanschluss gelöst, der die Merkmale des Anspruchs 1 aufweist.

Ein solcher Busanschluss klassifiziert und typisiert die auftretenden Bustransaktionen und weist sie jeweiligen parallel angeordneten Funktionslinien zu. Abhängig von der Klasse bzw. dem Typ einer Transaktion werden in den verschiedenen Funktionslinien die Transaktionen in einer solchen Weise zwischengespeichert, dass sie einerseits gemäß ihrer Klasse bzw. ihres Typs behandelt werden können, andererseits voneinander
15 soweit getrennt sind, dass eine angepasste Reihenfolge in der Reihenfolge der Abarbeitung wählbar ist. Dazu trägt bei, dass einige Funktionslinien eine Parallelstruktur haben. Mit dem erfindungsgemäßen Busanschluss lassen sich daher Transaktionen vorziehen, so dass Wartezeiten, bis eine früher aufgetretene Transaktion abgeschlossen ist, in vielen Fällen ausgeschaltet werden können. Das Ergebnis ist eine Beschleunigung der Arbeitsweise und damit eine Erhöhung der Leistungsfähigkeit eines Prozessorsystems.

25 Vorteilhafte Ausgestaltungen der Erfindung sind Gegenstand von Unteransprüchen.

Danach sind für eine Abarbeitung anstehende Transaktionen nicht nur danach getrennt, ob sie nach einer strengen logischen Reihenfolge abzuarbeiten sind oder nicht, sondern sind
30 die nicht streng nach einer logischen Reihenfolge abzuarbeitenden Transaktionen noch danach getrennt, ob es sich um Transaktionen des Typs Lesen oder Schreiben handelt. Lese-Transaktionen sind insbesondere leistungsbestimmend für ein
35 Gesamtsystem. Ihnen ist daher besondere Priorität in der Abarbeitung einzuräumen.

Der erfindungsgemäße Busanschluss beseitigt, wie oben dargelegt, Staueffekte, die bei für eine Abarbeitung anstehenden Transaktionen auftreten können. Gibt es keine Staueffekte, kann es vorkommen, dass ganze Funktionslinien quasi leer
5 bleiben, weil eintreffende Transaktionen sofort abgearbeitet werden können. Um nochmals Zeit zu sparen, die benötigt wird, um Transaktionen durch die sogenannten leeren Funktionslinien zu transportieren, gibt es bei vorteilhaften Ausgestaltungen der Erfindung Kurzschlusswege, die die sogenannten leeren
10 Funktionslinien umgehen.

Nachfolgend wird ein Ausführungsbeispiel der Erfindung anhand einer Zeichnung näher erläutert. Darin zeigt die einzige Figur einen optimierten Busanschluss gemäß der Erfindung.

15 Die Figur zeigt einen Prozessorbus PB, der Teil eines in der Figur nicht näher angegebenen übergeordneten Prozessorsystems ist.

20 An den Prozessorbus PB ist ein an sich bekannter, nach dem FIFO-Prinzip arbeitender erster Zwischenspeicher S1 angeschlossen, der die eintreffenden Bustransaktionen in der Reihenfolge des Eintreffens speichert.

25 Im Anschluss an den ersten Speicher S1 sind drei hintereinander geschaltete Funktionsabschnitte I, II und III vorgesehen, von denen der erste Funktionsabschnitt I dafür zuständig ist, die im ersten Speicher S1 zwischengespeicherten Transaktionen durch einen Dekoder DK möglichst schnell auszulesen, zu klas-
30 sifizieren und zu typisieren. Gemäß der Klassifizierung werden die Transaktionen in solche Transaktionen eingeteilt, die in streng logischer Reihenfolge abzuarbeiten sind. Außerdem werden die Transaktionen in solche Transaktionen eingeteilt, die nicht in streng logischer Weise abzuarbeiten sind. Inner-
35 halb der Gruppe von Transaktionen, die nicht in streng logischer Reihenfolge abzuarbeiten sind erfolgt eine tieferge-

hende Typisierung danach, ob es sich bei den Transaktionen um Transaktionen des Typs Lesen oder des Typs Schreiben handelt.

5 Der zweite Funktionsabschnitt II nimmt die vom Dekodierer DK typisierten und klassifizierten Transaktionsvorgänge je nach Typisierung und Klassifizierung in einem von drei weiteren Speichern S2, S3, S4 auf, die in einer jeweiligen zugehörigen eigenen Funktionslinie angeordnet sind.

10 Im Speicher S2 sind die nach der Klasse "Abarbeitung in streng logischer Reihenfolge" klassifizierten Transaktionen unabhängig davon aufgenommen, ob sie dem Typ "Schreiben" oder "Lesen" entsprechen. Da diese Transaktionsvorgänge nach einer streng logischen Reihenfolge abzuarbeiten sind, nützt eine
15 tiefergehende Unterteilung in solche Typen nicht.

Transaktionen, die dem Typ "Schreiben" entsprechen, haben einen ersten Schreibspeicher SS1 zugeordnet, in dem die zu schreibenden Informationen aufnehmbar sind. Startet ein an
20 dem Prozessorbus PB angeschlossener Einzelprozessor einen Transaktionsvorgang der Klasse "Abarbeitung in streng logischer Reihenfolge" und des Typs "Schreiben", übergibt er den entsprechenden Transaktionsvorgang zusammen mit den zu schreibenden Informationen dem ersten Funktionsabschnitt I.
25 Für den Einzelprozessor ist damit der Transaktionsvorgang beendet. Er kann sich anderen Aufgaben zuwenden. Der erste Funktionsabschnitt I sorgt dafür, dass der Transaktionsvorgang in den zweiten Speicher S2 und die zu schreibenden Informationen in den ersten Schreibspeicher SS1 jeweils des
30 zweiten Funktionsabschnitts II geschrieben werden. Der zweite Speicher S2 ist nach dem FIFO-Prinzip ausgebildet, um dadurch die streng logische Abarbeitungsreihenfolge der Transaktionsvorgänge einhalten zu können.

35 Im vorliegenden Ausführungsbeispiel sind im Speicher S3 des zweiten Funktionsabschnitts II Transaktionsvorgänge der Klasse "Abarbeitung in nicht streng logischer Reihenfolge"

und des Typs "Lesen" gespeichert. Da die Reihenfolge der Ab-
arbeitung frei ist, ist der Speicher S3 gemäß einer paralle-
len Struktur aufgebaut, aus dem wahlfrei Inhalte entnommen
werden können. Entsprechendes gilt für den Speicher 4 des
5 zweiten Funktionsabschnitts II, lediglich in Bezug auf den
Typ "Schreiben" innerhalb der Transaktionsklasse "Abarbeiten
in nicht streng logischer Reihenfolge". Da der Speicher S4
für die Transaktionsvorgänge des Typs "Schreiben" zuständig
ist, ist diesem Speicher entsprechend dem ersten Schreibspei-
10 cher SS1 ein zweiter Schreibspeicher SS2 zugeordnet.

Die Speicher S3 und S4 ermöglichen es, dass insbesondere die
Transaktionen der Klasse "Abarbeitung in nicht streng logi-
scher Reihenfolge" und des Typs "Lesen" sofort und die
15 Transaktionsvorgänge der Klasse "Abarbeitung in nicht streng
logischer Reihenfolge" des Typs "Schreiben" möglichst bald
abgearbeitet werden können.

Die jeweiligen Funktionslinien zugeordneten Komponenten des
20 zweiten Funktionsabschnitts II führen auf eine den Funktions-
linien des zweiten Funktionsabschnitts II gemeinsame Abarbei-
tungseinheit AE im dritten Funktionsabschnitt III. Die Abar-
beitungseinheit AE vollzieht mit den von den Funktionslinien
des zweiten Funktionsabschnitts II erhaltenen Transaktionen
eine serielle Reihung für eine Weiterverarbeitung, wobei die
Bedeutung der Herkunft der Transaktionen von den Funktionsli-
nien berücksichtigt ist. Dabei können Transaktionen der
Klasse "Abarbeitung in nicht streng logische Reihenfolge"
Transaktionen der Klasse "Abarbeitung in streng logischer
30 Reihenfolge" vorgezogen sein. Die auf diese Weise in günsti-
gerer Reihenfolge vorliegenden Transaktionen werden dann an
einen Systembus SB, der wieder Teil des in der Figur nicht
näher angegebenen übergeordneten Prozessorsystems ist, wei-
tergeleitet.

35

Kurzschlusswege KW1 bzw. KW2 ermöglichen den Transaktionsvor-
gängen das Überspringen einzelner Funktionsabschnitte. Sind

zum Beispiel die aufeinanderfolgenden Komponenten der Funktionsabschnitte I und II leer, so kann ein Transaktionsvorgang über den Kurzschlussweg KW1 direkt vom Prozessorbus PB in die Abarbeitungseinheit AE des Funktionsabschnitts III gelangen.

- 5 Ist der nach dem FIFO-Prinzip arbeitende Speicher S2 im Funktionsabschnitt II leer, kann ein ankommender Transaktionsvorgang sofort durch den Speicher geschleust und auf die Abarbeitungseinheit AE des Funktionsabschnitts III gelenkt werden. In beiden Fällen wird Zeit für die Durchreichung betreffender Transaktionsvorgänge eingespart.
- 10

Patentansprüche

1. Optimierter Busanschluss zur Übernahme von Bustransaktionen, aufweisend einen nach dem FIFO-Prinzip arbeitenden ersten Speicher S1, in dem aus einem übergeordnet vorhandenen Prozessorsystem ankommende und vom optimierten Busanschluss abzuarbeitende Transaktionsvorgänge in der Reihenfolge der ankommenden Transaktionsvorgänge zwischengespeichert werden, dadurch gekennzeichnet, dass in Nachfolge zum ersten Speicher (S1) ein erster Funktionsabschnitt (I) vorgesehen ist, durch den die im ersten Speicher S1 zwischengespeicherten Bustransaktionen schnellstmöglich ausgelesen, klassifiziert und typisiert werden, dass in Nachfolge zum ersten Funktionsabschnitt ein zweiter Funktionsabschnitt (II) vorgesehen ist mit mehreren parallel angeordneten Funktionslinien, von denen jeweils wenigstens eine einer Klasse von Transaktionen zugeordnet ist, dass durch den ersten Funktionsabschnitt (I) zum einen jeweils solche Transaktionen zu einer Klasse von Transaktionen zusammengefasst sind, die in einer streng logischen Reihenfolge und zum anderen jeweils solche Transaktionen zu einer Klasse von Transaktionen zusammengefasst sind, die nicht in einer streng logischen Reihenfolge abzuarbeiten sind, dass die Bustransaktionen durch den ersten Funktionsabschnitt (I) in Abhängigkeit vom Ergebnis seiner Klassifizierung und Typisierung der Transaktionen einer der Funktionslinien des zweiten Funktionsabschnitts (II) zugeordnet sind, dass die der Klasse in streng logischer Reihenfolge abzuarbeitende Transaktionen zugeordnete Funktionslinie eine nach dem FIFO-Prinzip funktionierende Speicherstruktur aufweist, dass die übrigen Funktionslinien eine für wahlfreie Zugriffe geeignete Speicherstruktur aufweisen, und dass in Nachfolge des zweiten Funktionsabschnitts (II) ein dritter Funktionsabschnitt (III) mit einer den Funktionslinien des zweiten Funktionsabschnitts (II) gemeinsamen Abarbeitungseinheit (AE) vorgesehen ist, durch die die in den einzelnen Funktionslinien des zweiten Funktionsabschnitts (II) enthaltenen Transaktionen für eine Weiterleitung an das übergeord-

net vorhandene Prozessorsystem in eine serielle Reihenfolge gebracht sind mit der Besonderheit, dass in gegebenen Fällen abhängig von den Anforderungen an das übergeordnete Prozessorsystem Transaktionen aus der Klasse der nicht in streng logischer Reihenfolge abzuarbeitender Transaktionen den Transaktionen der Klasse der in streng logischer Reihenfolge abzuarbeitender Transaktionen vorgezogen sind.

2. Optimierter Busanschluss nach Anspruch 1, dadurch gekennzeichnet, dass für die Klasse der nicht in streng logischer Reihenfolge abzuarbeitender Transaktionen im zweiten Funktionsabschnitt (II) gemäß einer zweigeteilte Typisierung von Transaktionen in Schreib- und Lesetransaktionen jeweils eine eigenständige Funktionslinie vorgesehen ist.

3. Optimierter Busanschluss nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass für Bustransaktionen ausgehend vom Busanschluss bis zur Abarbeitungseinheit (AE) des dritten Funktionsabschnitts (III) ein in Abhängigkeit von einem Leerzustand in den ersten beiden Funktionsabschnitten (I, II) arbeitender Kurzschlussweg (KW2) realisiert ist.

4. Optimierter Busanschluss nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass für die zur Klasse der in streng logischer Reihenfolge abzuarbeitenden Transaktionen ausgehend von einem Eingangspunkt in den zweiten Funktionsabschnitt (II) bis zur Abarbeitungseinheit (AE) des dritten Funktionsabschnitts (III) ein in Abhängigkeit von einem Leerzustand der dieser Klasse zugeordneten Funktionslinie arbeitender Kurzschlussweg (KW2) realisiert ist.

Zusammenfassung

Optimierter Busanschluss zur Übernahme von Bustransaktionen

- 5 Zur Optimierung der Arbeitsweise von Prozessorsystemen wird
ein Busanschluss vorgeschlagen, der eine Aufspaltung von
Bustransaktionen im wesentlichen in Transaktionen, die in
streng logischer und die in nicht streng logischer Reihen-
folge abzuarbeiten sind, vornimmt. Später werden die Transak-
10 tionen für eine Weiterverarbeitung wieder in einer seriellen
Weise aneinander gereiht mit der Besonderheit, dass in gege-
benen Fällen nicht in streng logischer Reihenfolge abzuarbei-
tende Transaktionen in streng logischer Reihenfolge abzuar-
beitende Transaktionen vorgezogen sind. Das Ergebnis ist ein
15 Zeit- und damit ein Leistungsgewinn für das Prozessorsystem.

Figur

FIG

